

10/009842

PGT/JF/00/03884

#6/5-9-03  
14.06.00

IKU

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

04 AUG 2000

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年 6月16日

出 願 番 号  
Application Number:

平成11年特許願第169251号

出 願 人  
Applicant(s):

松下電器産業株式会社

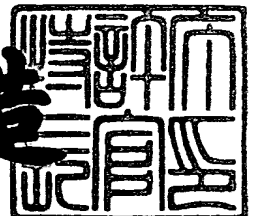
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 7月21日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3057365

【書類名】 特許願

【整理番号】 2037610001

【提出日】 平成11年 6月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06  
H01L 27/10

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平田 恭子

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 下村 浩

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 ウェル領域となる第 1 の半導体層と、

前記第 1 の半導体層上に形成された第 1 導電型の第 2 の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第 1 の単位セルと、

前記第 1 の半導体層上に形成された第 2 導電型の第 3 の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第 2 の単位セルとを備え、

前記第 2 の半導体領域をアノード、前記第 3 の半導体領域をカソードとしてダイオードを構成することを特徴とする半導体装置。

【請求項 2】 前記第 1 の単位セルと前記第 2 の単位セルとを交互に配置したことを特徴とした請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の単位セルと前記第 2 の単位セルとを複数個含み、前記第 2 の半導体領域と上層の部材を電氣的に接続するためのコンタクトと、前記第 3 の半導体領域と上層の部材を電氣的に接続するためのコンタクトを必要数接続することを特徴とした請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記第 2 の半導体領域と前記第 3 の半導体領域との間を、ゲート電極となる第 4 の半導体層で分離することを特徴とした請求項 1 乃至 3 記載の半導体装置。

【請求項 5】 前記ゲート電極に、外部より独立した電位を与えることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 1 の半導体層上に形成された前記第 3 の半導体領域内に、前記第 2 の半導体領域を形成することを特徴とした請求項 1 乃至 5 記載の半導体装置。

【請求項 7】 第 1 導電型の第 2 の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第 1 の単位セルと、

第 2 導電型の第 3 の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第 2 の単位セルとを備え、

前記第 2 の半導体領域をアノード、前記第 3 の半導体領域をカソードとしてダ

イオードを構成することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、小さな占有面積で高性能なダイオードを実現するための半導体装置に関するものである。

【0002】

【従来の技術】

近年、1チップソリューションに向けたシステムLSI開発が進む中、アナログCMOS回路の重要性が高まっている。つまり、アナログ回路の性能がそのLSIの性能を決定することになるのである。高性能なアナログ回路を設計するためには、デジタルブロックからの雑音や電源電圧のゆれなどの影響をなくすために基準電圧回路や基準電流回路が必要である。また、消費電力削減の目的のため、外部雑音から内部回路を保護する回路と内部回路の電圧が異なることに対応するため、電圧変換回路などが必要になってくる。

【0003】

従来のツェナーダイオードを基準とした基準電圧回路は電源電圧が高く、回路内に雑音を発生してしまうという欠点があるため、LSI内部ではバンドギャップリファレンスを用いた基準電圧回路が利用されている。CMOS LSIでは、コスト面やデジタルブロックとの同一プロセスでの実現が可能なことからMOSトランジスタのPN接合を使用したダイオードを用いてバンドギャップリファレンスを構成している。アナログ回路の精度を向上するためには、このダイオードを利用したバンドギャップリファレンス回路の精度をあげることが必要であり、そのために特性のよいダイオードが不可欠である。

【0004】

一方、アナディジ混載LSIでは微細化が進んでも、アナログ回路部はトランジスタのバラツキや温度依存性等を考慮しなければならないため、面積は小さくなりにくい。アナディジ混載LSIのチップ面積を削減するためには、アナログ回路の面積をどれだけ削減できるかが重要である。そのためにはアナログ回路で重要

なダイオードを同一プロセスで、できるだけ小さな占有面積で高性能かつ、精度よく構成することが必要になってくる。

#### 【0005】

図4 (a) は従来の半導体装置で用いられているダイオードの平面図であり、図4 (b) はX-X' で切断したときの断面図である。平面図の1は $P^+$ 拡散領域、2は $N^+$ 拡散領域、3は $P^+$ 拡散領域と $N^+$ 拡散領域との距離、4は $P^+$ 拡散領域サイズ、14はフィールド酸化膜である。6はNウェル領域、7はPウェル領域である。断面図の13はNウェルの寄生抵抗である。

#### 【0006】

従来のダイオードは、 $P^+$ 拡散領域1がアノード側、 $N^+$ 拡散領域2がカソード側になり、1個のダイオードを1対のP-N接合で構成している。このダイオードの場合、同一プロセスでは、P-N接合の面積 ( $P^+$ 拡散領域1の底面の面積) を決定する $P^+$ 拡散領域サイズ4と、 $P^+$ 拡散領域と $N^+$ 拡散領域との距離3を $P^+$ 拡散領域1の面積で積分して得られる寄生抵抗13の大きさによってダイオードの電流能力が決定する。回路設計者は必要に応じた電流能力が得られるように、 $P^+$ 拡散領域サイズ4を決定しレイアウトする。

#### 【0007】

##### 【発明が解決しようとする課題】

しかしながら、従来の技術のダイオードでは、電流能力を大きくしようとすると、 $P^+$ 拡散領域1を大きくしなければならないため、 $P^+$ 拡散領域1の中央部分から $N^+$ 拡散領域2の間の距離が大きくなってしまふ。したがって、Nウェル寄生抵抗13が大きくなる。この抵抗はダイオードと直列に入るために、電圧降下がおこり、ダイオードの電流能力を低下させる。この現象は電流IDが大きくなるとさらに顕著に現れる。同一プロセスにおいて同じ $P^+$ 拡散領域サイズ4のダイオードに多くの電流を流すときに特にこの現象が表れる。

#### 【0008】

図5 (a) は電圧-電流特性を得るためのダイオードを用いた回路である。図5 (b) は測定されたダイオードの電圧-電流特性のグラフである。図5 (b) の従来例の特性のように、寄生抵抗13が大きいことによりダイオードの電流能

力が下がる。さらに電流  $I_D$  が大きくなると飽和してしまうという問題がある。

【 0 0 0 9 】

したがって、本発明の目的は、これらの問題点に鑑み、小さな占有面積で高性能なダイオードを実現するための半導体装置を提供するものである。

【 0 0 1 0 】

【課題を解決するための手段】

この目的を達成するために、請求項 1 の発明は、ウェル領域となる第 1 の半導体層と、前記第 1 の半導体層上に形成された第 1 導電型の第 2 の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第 1 の単位セルと、前記第 1 の半導体層上に形成された第 2 導電型の第 3 の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第 2 の単位セルとを備え、前記第 2 の半導体領域をアノード、前記第 3 の半導体領域をカソードとしてダイオードを構成する。つまり、アノード領域とカソード領域をそれぞれ単位セルを用いて構成し、アノード・カソード間距離を短縮することにより、ダイオードに直列に入る寄生抵抗を削減する。

【 0 0 1 1 】

請求項 2 の発明のダイオードでは、前記第 1 の単位セルと前記第 2 の単位セルとを交互に配置する。つまり、アノード領域とカソード領域を交互に配置することにより、ダイオードに直列に入る寄生抵抗を削減するとともに、P-N 接合面積を増やし、電流能力を大きくする。

【 0 0 1 2 】

請求項 3 の発明は、前記第 1 の単位セルと前記第 2 の単位セルとを複数個含み、前記第 2 の半導体領域と上層の部材を電氣的に接続するためのコンタクトと、前記第 3 の半導体領域と上層の部材を電氣的に接続するためのコンタクトを必要数接続する。つまり、単位セルを必要数接続することにより、回路設計時に必要に応じた特性のダイオードを設計する。

【 0 0 1 3 】

請求項 4, 5 の発明は、前記第 2 の半導体領域と前記第 3 の半導体領域との間を、ゲート電極となる第 4 の半導体層で分離する。また、前記ゲート電極に、外

部より独立した電位を与える。つまり、一拡散領域と他の拡散領域との境界上にゲート電極を配置して絶縁層を薄くし、P-N接合面積を底面の面積と外周面の面積を加えたものにできる。この構造は、SOI基板上のダイオードとしても適する。

#### 【0014】

請求項6の発明は、前記第1の半導体層上に形成された前記第3の半導体領域内に、前記第2の半導体領域を形成する。拡散領域内に他の拡散領域を配置する構成により、ダイオードに直列に入る寄生抵抗をする。

#### 【0015】

請求項7の発明は、第1導電型の第2の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第1の単位セルと、第2導電型の第3の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第2の単位セルとを備え、前記第2の半導体領域をアノード、前記第3の半導体領域をカソードとしてダイオードを構成する。つまり、この構造は、SOI基板上的ダイオードとして適する。

#### 【0016】

##### 【発明の実施の形態】

以下本発明の実施例について説明する。

#### 【0017】

##### （実施の形態1）

図1（a）は第1の実施の形態における半導体装置のダイオードの平面図であり、図1（b）はX-X'で切断したときの断面図である。平面図の24はNウェル領域（第1の半導体層）、21は第1の半導体層24上に形成されたP<sup>+</sup>拡散領域（第1導電型の第2の半導体領域）、22は第1の半導体層24上に形成されたN<sup>+</sup>拡散領域（第2導電型の第3の半導体領域）、25はPウェル領域、34はフィールド酸化膜、35はコンタクト、36は配線である。断面図の33はNウェルの寄生抵抗である。

#### 【0018】

本実施の形態では、Nウェル領域（第1の半導体層）24上に形成される第1



の単位セル（つまり $P^+$ 拡散領域 2 1）と第 2 の単位セル（つまり $N^+$ 拡散領域 2 2）とを交互に配置し、各第 1 および第 2 の単位セルを複数個備えている。第 1 の単位セルは、 $P^+$ 拡散領域 2 1 と上層の部材を電氣的に接続するためのコンタクト 3 5 で構成されている。第 2 の単位セルは、 $N^+$ 拡散領域 2 2 と上層の部材を電氣的に接続するためのコンタクト 3 5 で構成されている。

#### 【0 0 1 9】

$P^+$ 拡散領域 2 1 と上層の部材を電氣的に接続するためのコンタクト 3 5 と、 $N^+$ 拡散領域 2 2 と上層の部材を電氣的に接続するためのコンタクト 3 5 を必要数接続する（言い換えれば、必要数の第 1 の単位セルおよび第 2 の単位セルを用いる）ことで、 $P^+$ 拡散領域 2 1 をアノード、 $N^+$ 拡散領域 2 2 をカソードとしたダイオードの電流能力を所望の値に設定することができる。つまり、1 個のダイオードを、 $P^+$ 拡散領域 2 1 がアノード側、 $N^+$ 拡散領域 2 2 がカソード側とした複数の単位セルを用いて形成できるようにレイアウトしている。各単位セルはバラツキ等を含めた最適（最小）の面積としている。

#### 【0 0 2 0】

同一プロセス上では、ダイオードの電流能力は、 $P-N$ 接合の面積（本実施の形態では $P^+$ 拡散領域 2 1 底面の面積）と、寄生抵抗により決定される。この実施の形態のように最小の面積の単位セルを用いてダイオードを構成することにより、アノードーカソード間距離を最小にすることが可能になるため、ダイオードに直列に入る寄生抵抗 3 3 を削減することができるとともに、単位セルを交互に配置することによって、 $P-N$ 接合面積を増やし、電流能力を大きくすることができる。

#### 【0 0 2 1】

本実施の形態のダイオードによると、寄生抵抗 3 3 による電圧降下が最小になるため、単位面積あたりの電流能力が飛躍的に向上する。また、ダイオードを構成する $P^+$ 拡散領域 2 1 と $N^+$ 拡散領域 2 2 をそれぞれ単位セルにすることにより、回路設計時に必要に応じた特性のダイオードの設計をする上で非常に簡便性がよくなる。

#### 【0 0 2 2】

なお本実施の形態では、Nウェル領域 2 4 上に形成された  $P^+$  拡散領域 2 1、Nウェル領域 2 4 上に形成された  $N^+$  拡散領域 2 2 を用いて、第 1 の単位セルおよび第 2 の単位セルを形成したが、Pウェル領域（第 1 の半導体層）上に形成された  $P^+$  拡散領域（第 2 の半導体領域）、Pウェル領域上に形成された  $N^+$  拡散領域（第 3 の半導体領域）を用いて、第 1 の単位セルおよび第 2 の単位セルを形成してもよい。

### 【0023】

#### （実施の形態 2）

図 2（a）は第 2 の実施の形態における半導体装置のダイオードの平面図であり、図 2（b）は X-X' で切断したときの断面図である。平面図の 4 6 は Nウェル領域（第 1 の半導体層）、4 1 は第 1 の半導体層 4 6 上に形成された  $P^+$  拡散領域（第 1 導電型の第 2 の半導体領域）、4 2 は第 1 の半導体層 4 6 上に形成された  $N^+$  拡散領域（第 2 導電型の第 3 の半導体領域）、4 3 は  $P^+$  拡散領域と  $N^+$  拡散領域との距離、4 4 はこのダイオードの電流能力の一要因となる  $P^+$  拡散領域 4 1 の底面の面積、5 4 はフィールド酸化膜である。4 7 は Pウェル領域である。断面図の 5 3 は Nウェルの寄生抵抗である。

### 【0024】

本実施の形態においても、実施の形態 1 と同様に、Nウェル領域（第 1 の半導体層）4 6 上に形成される第 1 の単位セル（つまり  $P^+$  拡散領域 4 1）と第 2 の単位セル（つまり  $N^+$  拡散領域 4 2）とを交互に配置し、各第 1 および第 2 の単位セルを複数個備えている。第 1 の単位セルは、 $P^+$  拡散領域 4 1 と上層の部材を電氣的に接続するためのコンタクトで構成されている。第 2 の単位セルは、 $N^+$  拡散領域 4 2 と上層の部材を電氣的に接続するためのコンタクトで構成されている。

### 【0025】

必要数の第 1 の単位セルおよび第 2 の単位セルを用いることで、 $P^+$  拡散領域 4 1 をアノード、 $N^+$  拡散領域 4 2 をカソードとしたダイオードの電流能力を所望の値に設定することができる。つまり、1 個のダイオードを、 $P^+$  拡散領域 4 1 がアノード側、 $N^+$  拡散領域 4 2 がカソード側とした複数の単位セル（P-N

接合)を用いて形成できるようにレイアウトしている。各単位セルはバラツキ等を含めた最適(最小)の面積としている。

#### 【0026】

本実施の形態におけるダイオードは、Nウェル領域(第1の半導体層)46上に形成された $N^+$ 拡散領域42内に、 $P^+$ 拡散領域41を形成している。このダイオードの場合、同一プロセスでは、P-N接合の面積である $P^+$ 拡散領域の底面の面積44と、 $P^+$ 拡散領域と $N^+$ 拡散領域との距離43を $N^+$ 拡散領域42の面積で積分して得られる寄生抵抗53とによってダイオードの電流能力が決定する。

#### 【0027】

この構成により、カソードとなる $N^+$ 拡散領域42の中心部からアノードである $P^+$ 拡散領域41間の距離が、従来例のダイオードと比較して小さくなるためダイオードに直列に入る寄生抵抗53を大幅に削減するとともに、P-N接合面積を増やし、電流能力を大きくすることができる。従って、寄生抵抗53による電圧降下が小さくなり、単位面積あたりの電流能力が飛躍的する。

#### 【0028】

なお、本実施の形態では、Nウェル領域(第1の半導体層)46上に形成された $N^+$ 拡散領域(第3の半導体領域)42内に第2の半導体領域41を形成しているが、第1の半導体層上に形成された第2の半導体領域41内に第3の半導体領域42を形成してもよい。

#### 【0029】

また、実施の形態1と同様、Pウェル領域(第1の半導体層)上に形成された $P^+$ 拡散領域(第2の半導体領域)41、Pウェル領域上に形成された $N^+$ 拡散領域(第3の半導体領域)42を用いて、第1の単位セルおよび第2の単位セルを形成してもよい。

#### 【0030】

##### (実施の形態3)

図3は、第3の実施の形態における半導体装置のダイオードの平面図であり、図3(b)はX-X'で切断したときの断面図である。平面図の64はNウェル

領域（第 1 の半導体層）、6 1 は第 1 の半導体層 6 4 上に形成された  $P^+$  拡散領域（第 1 導電型の第 2 の半導体領域）、6 2 は第 1 の半導体層 6 4 上に形成された  $N^+$  拡散領域（第 2 導電型の第 3 の半導体領域）、6 5 は P ウェル領域、7 7 はコンタクト、7 8 は配線である。7 1 は第 2 の半導体領域 6 1 と第 3 の半導体領域 6 2 との間を分離する、ゲート電極となるポリシリコンゲート（第 4 の半導体層）である。断面図の 7 3 は N ウェルの寄生抵抗、7 4 はフィールド酸化膜、7 6 はゲート酸化膜である。

#### 【0031】

本実施の形態においても、実施の形態 1 と同様に、N ウェル領域（第 1 の半導体層）6 4 上に形成される第 1 の単位セル（つまり  $P^+$  拡散領域 6 1）と第 2 の単位セル（つまり  $N^+$  拡散領域 6 2）とを交互に配置し、各第 1 および第 2 の単位セルを複数個備えている。第 1 の単位セルは、 $P^+$  拡散領域 6 1 と上層の部材を電氣的に接続するためのコンタクト 7 7 で構成されている。第 2 の単位セルは、 $N^+$  拡散領域 6 2 と上層の部材を電氣的に接続するためのコンタクト 7 7 で構成されている。必要数の第 1 の単位セルおよび第 2 の単位セルを用いることで、 $P^+$  拡散領域 6 1 をアノード、 $N^+$  拡散領域 6 2 をカソードとしたダイオードの電流能力を所望の値に設定することができる。つまり、1 個のダイオードを、 $P^+$  拡散領域 6 1 がアノード側、 $N^+$  拡散領域 6 2 がカソード側とした複数の単位セル（P-N 接合）を用いて形成できるようにレイアウトしている。各単位セルはバラツキ等を含めた最適（最小）の面積としている。

#### 【0032】

さらに本実施の形態では、 $P^+$  拡散領域 6 1 と  $N^+$  拡散領域 6 2 との境界上にはポリシリコンゲート 7 1 を配置する。同一プロセス上では、ダイオードの電流能力は、P-N 接合の面積と、寄生抵抗により決定する。

#### 【0033】

この実施の形態のように最適最小の面積の単位セルを用いてダイオードを構成することにより、アノードーカソード間距離を最小にすることが可能になるため、ダイオードに直列に入る寄生抵抗 7 3 を削減することができるとともに、 $P^+$  拡散領域 6 1 と  $N^+$  拡散領域 6 2 との境界上にポリシリコンゲート 7 1 を配置す

ることによって、 $P^+$ 拡散領域 6 1 と  $N^+$ 拡散領域 6 2 間に存在するフィールド酸化膜をなくすことができる。そのため、 $P^+$ 拡散領域 6 1 の底面の面積に加えて外周面の面積も  $P-N$  接合面積に寄与するので  $P-N$  接合面積を大きくすることができる。

## 【 0 0 3 4 】

また、 $N$ ウェル領域（第 1 の半導体層）6 4 上に形成されたゲート電極 7 1 に外部から独立した電位として高電位側の電圧（ $V_{dd}$ ）を印加することで、逆バイアスがかかりにくくして空乏層の形成を防止することで、 $P-N$  接合面積の減少をなくすことができる。

## 【 0 0 3 5 】

図 5（b）は、本実施の形態における、ダイオードの電圧－電流特性のグラフを示す。このグラフはゲート電極 7 1 に電位を設定していない。従来の場合に比べて、同面積比較において、ダイオードの電圧－電流特性が改善されていることが分かる。

## 【 0 0 3 6 】

本実施の形態のダイオードによると、寄生抵抗 7 3 による電圧降下が最小になるとともに、 $P-N$  接合面積を実施の形態 1、2 に比べて外周面の面積分大きくすることができるため、 $P^+$ 拡散領域の単位面積当たりの電流能力を向上することができる。

## 【 0 0 3 7 】

また本実施の形態の構造は、 $N$ ウェル領域 6 4 や  $P$ ウェル領域 6 5 を無くした  $SOI$  基板上に上記した第 1 および第 2 の基本セルを用いたダイオードを形成する場合に非常に適する。それは  $P^+$ 拡散領域 6 1 と  $N^+$ 拡散領域 6 2 のそれぞれの外周面の面積が  $P-N$  接合面積に寄与するためである。

## 【 0 0 3 8 】

また、実施の形態 1 と同様、 $P$ ウェル領域（第 1 の半導体層）上に形成された  $P^+$ 拡散領域（第 2 の半導体領域）6 1、 $P$ ウェル領域上に形成された  $N^+$ 拡散領域（第 3 の半導体領域）6 2 を用いて、第 1 の単位セルおよび第 2 の単位セルを形成してもよい。さらに実施の形態 2（図 2）のタイプにフィールド酸化膜に代

えてゲート電極を用いた本実施の形態の構成を用いることもできる。

【0039】

【発明の効果】

請求項1の発明によれば、ウェル領域となる第1の半導体層と、前記第1の半導体層上に形成された第1導電型の第2の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第1の単位セルと、前記第1の半導体層上に形成された第2導電型の第3の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第2の単位セルとを備え、前記第2の半導体領域をアノード、前記第3の半導体領域をカソードとしてダイオードを構成する。つまり、アノード領域とカソード領域をそれぞれ単位セルを用いて構成することによって、アノードカソード間距離を最小にすることが可能になり、ダイオードに直列に入る寄生抵抗を削減することができ、P-N接合の単位面積あたりの電流能力が飛躍的に向上する。

【0040】

請求項2の発明のダイオードでは、前記第1の単位セルと前記第2の単位セルとを交互に配置する。つまり、アノード領域とカソード領域を交互に配置することにより、アノードカソード間距離を短縮し、ダイオードに直列に入る寄生抵抗を削減することが可能となり、P-N接合の単位面積あたりの電流能力を向上する。

【0041】

請求項3の発明は、前記第1の単位セルと前記第2の単位セルとを複数個含み、前記第2の半導体領域と上層の部材を電氣的に接続するためのコンタクトと、前記第3の半導体領域と上層の部材を電氣的に接続するためのコンタクトを必要数接続する。つまり、ダイオードを構成する $P^+$ 拡散領域と $N^+$ 拡散領域を単位セルにすることにより、回路設計時に必要に応じた特性のダイオードの設計をする上で非常に簡便性がよくなる。

【0042】

請求項4、5の発明によれば、前記第2の半導体領域と前記第3の半導体領域との間を、ゲート電極となる第4の半導体層で分離する。また、前記ゲート電極

に、外部より独立した電位を与える。つまり、一拡散領域と他の拡散領域との境界上にゲートを配置することによって絶縁層が薄くなり、P-N接合面積を大きくすることが可能となり、ダイオードの単位面積当たりの電流能力が向上する。

【0043】

請求項6の発明によれば、前記第1の半導体層上に形成された前記第3の半導体領域内に、前記第2の半導体領域を形成する。拡散領域内に他の拡散領域を配置する構成により、アノード領域の中心部からカソード領域間の距離を短縮し、ダイオードに直列に入る寄生抵抗を削減することが可能となり、P-N接合の単位面積あたりの電流能力が向上する。

【0044】

請求項7の発明は、第1導電型の第2の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第1の単位セルと、第2導電型の第3の半導体領域と上層の部材を電氣的に接続するためのコンタクトで構成される第2の単位セルとを備え、前記第2の半導体領域をアノード、前記第3の半導体領域をカソードとしてダイオードを構成する。つまり、この構造を用いれば、SOI基板上にダイオードを容易に形成できる。

【図面の簡単な説明】

【図1】

- (a) 本発明の第1の実施の形態における半導体装置のダイオードの平面図
- (b) X-X'で切断したときの平面図

【図2】

- (a) 本発明の第2の実施の形態における半導体装置のダイオードの平面図
- (b) X-X'で切断したときの平面図

【図3】

- (a) 本発明の第3の実施の形態における半導体装置のダイオードの平面図
- (b) X-X'で切断したときの平面図

【図4】

- (a) 従来の半導体装置におけるダイオードの平面図
- (b) X-X'で切断したときの平面図

【図 5】

(a) ダイオードの電流特性を得るためのダイオードを用いた回路図

(b) 本発明のダイオードと従来例のダイオードの電流特性を示すグラフ

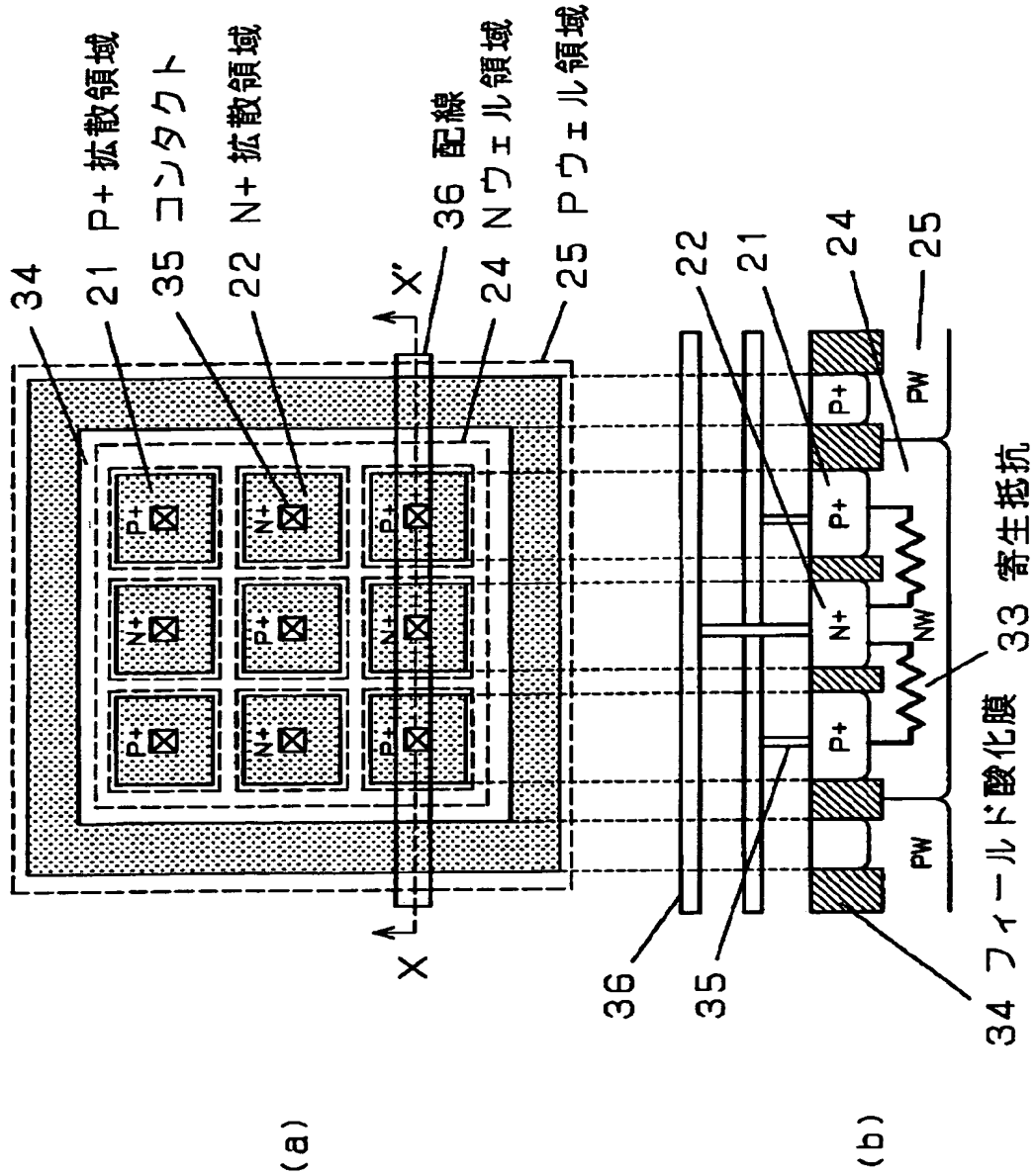
【符号の説明】

- 2 1, 4 1, 6 1  $P^+$  拡散領域
- 2 2, 4 2, 6 2  $N^+$  拡散領域
- 4 3  $P^+$  拡散領域と  $N^+$  拡散領域との距離
- 4 4  $P^+$  拡散領域の底面の面積
- 2 4, 4 6, 6 4 N ウェル領域
- 2 5, 4 7, 6 5 P ウェル領域
- 3 3, 5 3, 7 3 N ウェルの寄生抵抗
- 3 4, 5 4, 7 4 フィールド酸化膜
- 3 5, 7 7 コンタクト
- 3 6, 7 8 配線
- 7 1 ポリシリコンゲート
- 7 6 ゲート酸化膜

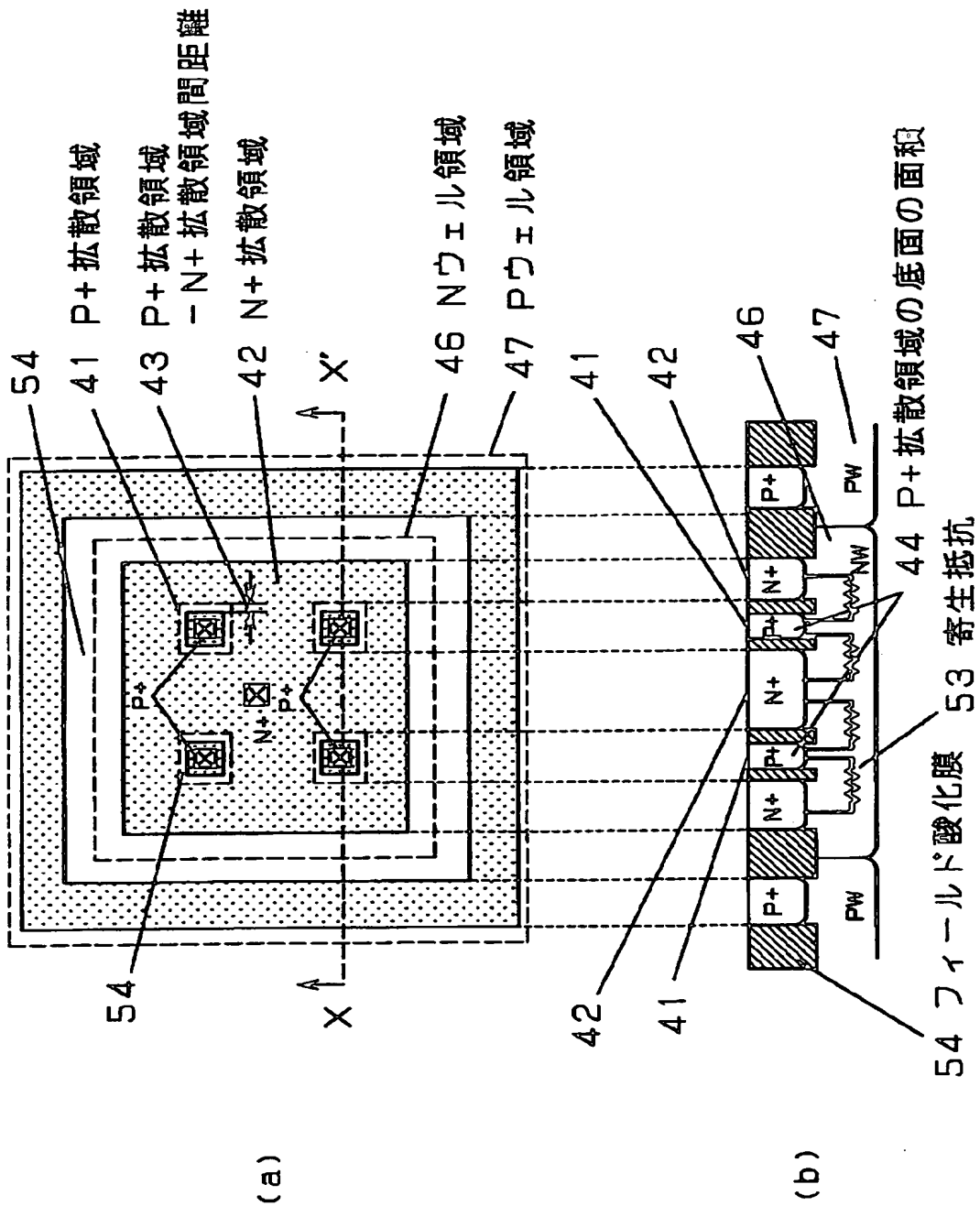


【書類名】 図面

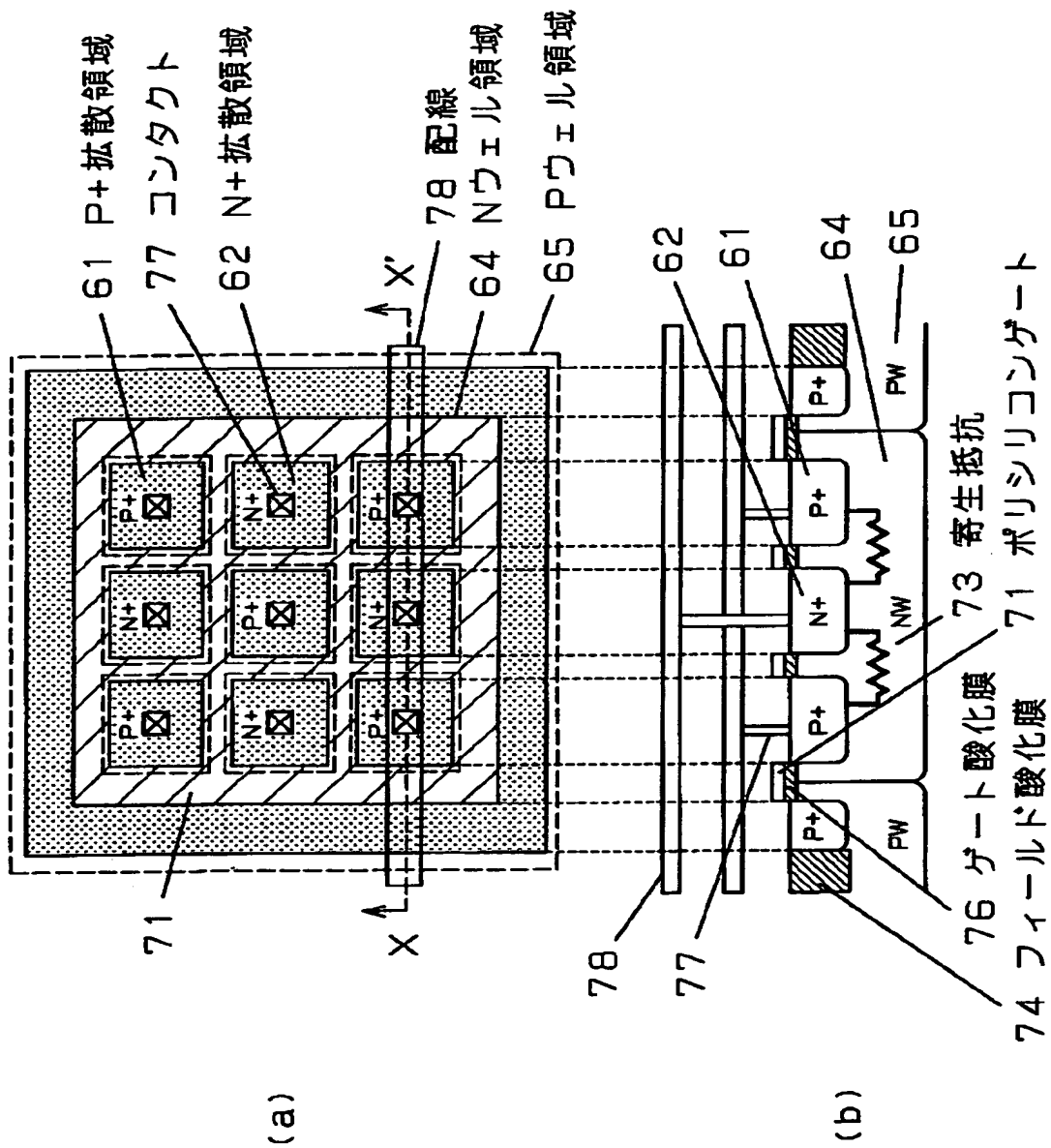
【図 1】



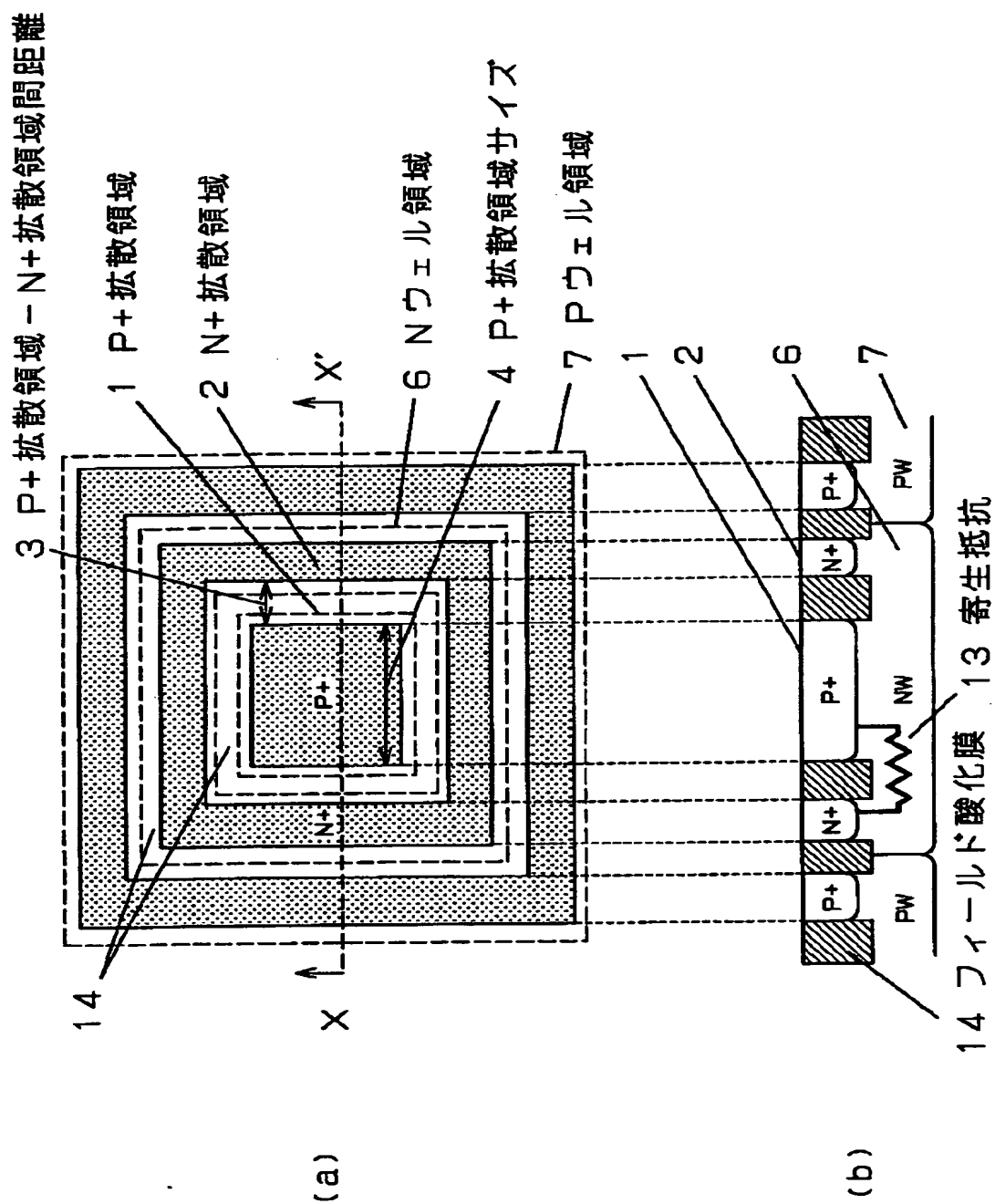
【図 2】



【図 3】

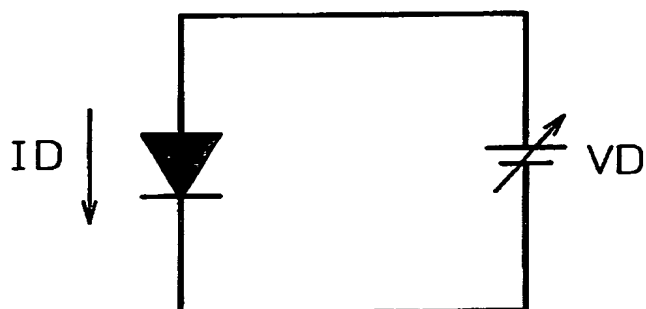


【図4】



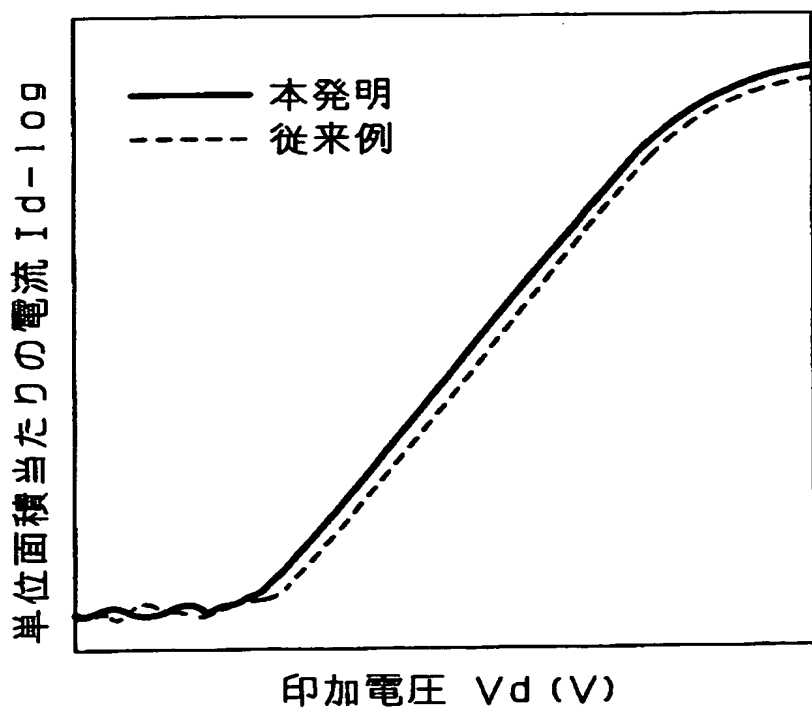
【図 5】

(a) ダイオードの電流特性を得るための回路図



(b) ダイオードの電流特性（実測データ）

ダイオードの電圧－電流特性  
同面積比較



【書類名】 要約書

【要約】

【課題】 デジタルアナログ混載LSIにおいて、小さな占有面積でかつ高性能なダイオードを簡単に実現するための半導体装置を提供するものである。

【解決手段】 アノードとなる $P^+$ 拡散領域 2 1 とカソードとなる $N^+$ 拡散領域 2 2 を、それぞれバラツキ等を含めた最適、最小の面積になるような単位セルを用いて構成することにより、アノードとカソード間の距離が小さくなり、ダイオードに直列に入る寄生抵抗 3 3 を大幅に削減することができる。この構成を用いていることにより、寄生抵抗による電圧降下が小さくなり、単位面積あたりの電流値を多くすることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

